

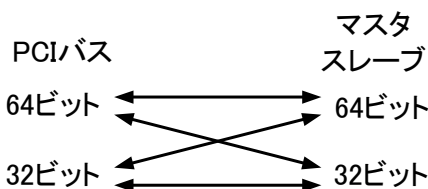
PCI Initiator Core 64-B

概要

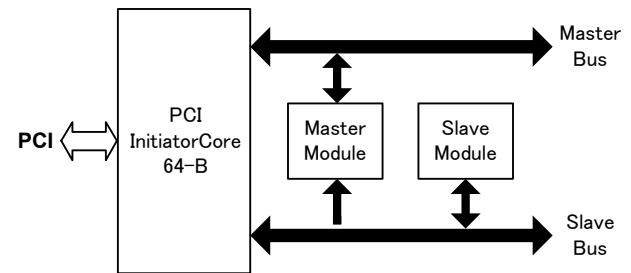
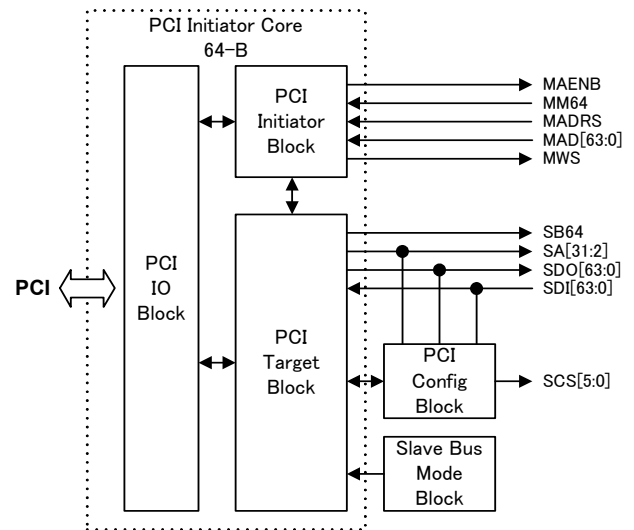
PCI Initiator Core 64-B は拡張性を考慮した PCI 規格準拠 (64 ビット, 33/66MHz) の IP です。PCI インターフェース用の LSI, IP は数多く出回っていますが、使い方が難しかったり、性能が出ないということがよくあります。本 IP はバスマスタ機能のパイプライン化により、高速な PCI インターフェースを提供します。各種 ASIC ライブラリへのポータビリティを考慮しただけでなく、FPGA でも PCI 規格の厳しい AC スペックを満たすよう、ゲート段数が極力小さく設計されています。

PCI Initiator Core 64-B の特徴

1. PCI Local Bus Spec. Rev2.3 準拠
2. PCI のイニシエータ、ターゲットサイクルに対応した IP
3. 高速転送
 - 任意のサイズのバースト転送が可能
4. ポータビリティ
 - FPGA からカスタム LSI まで幅広く適応可能
 - AC タイミングにマージンを持つ低ゲート段数設計
5. ユーザーカスタマイズ部分を明確に分離
6. 柔軟なユーザーロジックインターフェース
 - 簡単なパラレルバス
 - すべてのリード・ライト系のコマンドをサポート
 - データリード時の Wait 機能
7. 複数のアドレス空間がマッピング可能
 - 最大 6 個
 - メモリ空間、IO 空間の種別を設定可能
 - チップセレクト信号出力 (ユーザーロジック側)
8. ユーザー側で自由に Configuration Block を設計可能
9. 32/64 ビット両方のバス幅に対応
 - PCI Initiator Core 64-B は、32/64 ビット両方のバス幅に対応しています。また、PCI バス/マスタアクセス幅 (32/64 ビット) を気にすることなく、ユーザーモジュールを動作させることが可能です。



ブロック図



基本パッケージ内容

1. IP ソースコード
 - 合成可能な Verilog HDL RTL 記述
2. マニュアル (日本語)
 - Specification (仕様書)
 - Design Guide (設計ガイド)
 - Verification Guide (論理検証ガイド)
 - Synthesis Guide (論理合成ガイド)
 - IP Quality (品質について)

PCI 関連製品、その他の IP

1. PCI Initiator Core 32-B (32bit PCI イニシエータ IP)
 PCI Target Core 32-A (32bit PCI ターゲット専用 IP)
 PCI Target Core 64-B (64bit PCI ターゲット専用 IP)
2. LS6201 : 高性能 PCI Interface LSI

IBEX テクノロジー(株)は、経験豊富なエンジニアと最先端の設計ツールにより、大規模・高機能の LSI 設計や FPGA、ボード、ソフトウェア開発、EDA コンサルティング等、LSI に関連するビジネスを総合的にサポートしています。